

(19)日本国特許庁 (JP)

## (12) 特許公報 (B2)

(11)特許番号

第2653689号

(45)発行日 平成9年(1997)9月17日

(24)登録日 平成9年(1997)5月23日

(51) Int.Cl.<sup>6</sup>  
G 11 C 11/405  
11/401

識別記号 序内整理番号

F I  
G 11 C 11/34技術表示箇所  
352B  
362G

請求項の数3(全12頁)

(21)出願番号 特願昭63-320808

(22)出願日 昭和63年(1988)12月21日

(65)公開番号 特開平2-5285

(43)公開日 平成2年(1990)1月10日

(31)優先権主張番号 135957

(32)優先日 1987年12月21日

(33)優先権主張国 米国(US)

(73)特許権者 99999999

テキサス インスツルメンツ インコーポレイテッド  
アメリカ合衆国テキサス州ダラス、ノースセントラル エクスプレスウェイ  
13500

(72)発明者 アンソニー ダブリュー レイグ

アメリカ合衆国 テキサス州 ヒューストン、ニューブルック ドライブ  
12231

(74)代理人 弁理士 滝村 哲(外2名)

審査官 堀田 和義

(56)参考文献 特開 昭55-12534 (JP, A)  
特開 昭58-130494 (JP, A)  
特開 昭59-129989 (JP, A)

(54)【発明の名称】 ランダムアクセスメモリおよびその書き込み/読み取り方法

1

## (57)【特許請求の範囲】

【請求項1】1列のランダムアクセスメモリ装置であって、  
前記列に沿ってデータレベルを転送できる第1、第2のビットライン、  
前記列に沿って直列に配列された複数のメモリセルであって、各セルは、蓄積ノードと基準電圧の間に接続され前記蓄積ノードに1時点で1データレベルを記憶する蓄積容量と、前記第1ビットラインと前記蓄積ノードの間に接続された第1の電界効果トランジスタと、前記第2ビットラインと前記蓄積ノードとの間に接続された第2の電界効果トランジスタとを有し、前記第1、第2の電界効果トランジスタは第1、第2ビットラインと前記蓄積ノードの間でデータレベルを結合できる、前記複数メモリセル、

2

前記第1、第2ビットラインに接続され、セル内のデータレベルをリフレッシュできる回路要素を含むリフレッシュ回路、および

前記第1、第2ビットラインに接続され、あるセルからのデータレベルを読み取ってデータライン上のデータ信号を形成し、読み取ったデータレベルを前記セルに復元することのできる回路要素を含む読み取り・復元回路を含む前記一列のランダムアクセスメモリ装置。

【請求項2】前記メモリ装置は第1、第2、第3および第4位相ラインにそれぞれ転送される4クロック位相を含むサイクルで動作し、前記列は、前記第1、第2ビットラインおよび選択された位相ラインに接続されて前記選択されたクロック位相で前記ビットライン上に所望の電圧を設定する電荷設定回路を含み、前記リフレッシュ回路および前記読み取り復元回路は選択された位相ライン

(2)

特許-2653689

3

に接続されて選択されたクロック位相でそれぞれ、前記データレベルをリフレッシュし、読み取り、復元する、請求項(1)に記載の列。

【請求項3】ランダムアクセスメモリ装置用の配列であって、

データレベルを独立して導くことのできる第1、第2のトランジスタ、

前記第1、第2のトランジスタ間に接続された1つのメモリセルであって、データレベルを表わす電荷を蓄積できる1蓄積ノードおよび前記第1、第2トランジスタと前記第1蓄積ノードの間にそれぞれ接続され、前記第1、第2トランジスタと前記1蓄積ノードの間でデータレベルを導くことのできる第1、第2の導体、および前記第1、第2トランジスタ間に接続され、前記第1、第2トランジスタへの蓄積ノードから読み取ったデータレベルが前記第1、第2トランジスタの他方を介して該蓄積ノードへ書き戻されるように前記第1、第2トランジスタの一方のデータレベルを読み取り、他方のデータレベルを書き込む回路要素を有する読み取り復元回路を含む前記配列。

#### 【発明の詳細な説明】

##### (発明の技術分野)

本発明はランダムアクセスメモリおよびその書き込み/読み取り方法に関する。

##### (従来の技術)

オン・チップランダムアクセスメモリ(RAM)は高速マイクロコンピュータの不可欠な要素となつてきている。不揮発性スタティック型のRAMは、これらがリフレッシュサイクルもこれに対応するリフレッシュ回路も必要としないので、マイクロコンピュータに好んで用いられている。米国特許第4,506,322号(Leigh)は高速マイクロコンピュータとともに用いるようになつてている6トランジスタメモリを開示している。しかし、標準的な6トランジスタ(4トランジスタでさえも)スタティックメモリはかなり大きなウエーハ面積を必要とし、それによつてオン・チップメモリ容量に関してマイクロコンピュータチップ設計が制約されることになる。

ダイナミック型のRAMは1集積トランジスタおよび1容量要素をもつだけでよいので、大量のこのようなメモリセルを小さなウエーハ面積上に形成することができる。しかし、ダイナミック型のRAMは、容量の蓄積電荷を周期的にリフレッシュする必要があり、従つて多くの場合リフレッシュ回路が必要となる点において揮発性である。一方、メモリリフレッシュ条件はマイクロコンピュータのプログラマに委せて全てのセルが所定の周期でアクセスされるようにしてもよい。

デジタル信号処理のような、計算が激しい高速マイクロコンピュータ分野では、大量のオン・チップメモリが必要である。そこで、メモリリフレッシュ目的でプログラマによって通常用いられる「サイクルスチール(cycle steal)」法は制約されることになる。また、ダイナミックRAMメモリは、1マシーンサイクル内で別々のアドレスの読み取り/書き込み動作が必要なマイクロコンピュータと一体化するのは困難である。通常、4相マイクロコンピュータクロツクシステムはメモリをリフレッシュするためのタイムスロットを与えず、従つて、メモリアレイ全体をリフレッシュするのにプログラマに制約が課せられることになる。リアルタイムの応用分野ではこの制約は非常に問題である。

10 米国特許第4,447,891号(Kadota)は、アレイの多数のセルをお互いに関係なく同時に読み取り/書き込みできるRAMアレイを開示している。本特許の各メモリセルは付加的なトランジスタを伴なつた交叉結合インバータを有していて各セルに対する読み取り/書き込みアクセスを実行する。各セルは補助的なデータ線も必要とする。上記特許のメモリアレイはリフレッシュを考慮する必要のないスタティック型であるけれども、各セルは多数のトランジスタを含み、従つて高密度応用分野はうまく適応できないことになる。

20 前述したことから、高密度製造に適応できるダイナミックセルを有し、リフレッシュ動作がプログラマやユーザに見える改良されたメモリアレイが要請されていることがわかるだろう。また、別別のセルの読み取り/書き込み動作が同時サイクル中に可能で、かつメモリリフレッシュ動作を自動的になしうる4相マシーンサイクルとともに用いるのに適した半導体メモリも要請されている。さらに、現在の半導体処理技術による製造に適した、トランジスタ2個、容量1個を有するセルからなるメモリアレイも要請されている。

##### (発明の概要)

本発明によつて、開示されたダイナミックRAMは従来の装置の欠点を減少またはほとんど除去する。本発明によつて、読み取り動作の間に電荷を蓄積する蓄積(記憶)容量の蓄積ノードと直列に接続された第1のトランジスタ(アクセス装置)、および書き込み動作の間にその容量の蓄積ノードにアクセスする第2の直列トランジスタ

(アクセス装置)を有する、各セルがダイナミック型のDRAMアレイが開示される。さらに、各セルは、書き込みトランジスタを介して容量の蓄積ノードに電荷を転送するために書き込み動作の間に用いられる書き込みビット線を備えている。同様にして、読み取りトランジスタを介して容量の蓄積ノードからセンス増幅器に電荷を転送するためには読み取りビット線が読み取りトランジスタに接続される。アレイの各列に開通した読み取りセンス増幅器はセルの読み取り動作の後でセルデータを回復するよりも働く。

リフレッシュセンス増幅器は、4相クロツクの待定期の間にセルデータをリフレッシュするために各メモリアレイ列毎に備えられる。

こうして本発明のDRAMアレイはセル当たりの要素が比較的少なく、それによつて半導体ウエーハ面積が非常に少

50

(3)

特許 - 2653689

5

なくてすむ。加えて、各セルは、アレイの別々のセルの読み取り／書き込み動作が同時に実現できるように、読み取り動作ポートおよび書き込み動作ポートを有する。本発明の別の重要な技術的利点は、メモリのユーザやプログラマの介入がなくてもアレイセルの周期的、自動的リフレッシュが可能となる手段が備けられていることである。

本発明の他の特徴、利点は、添付図面（ここでは同一の参照番号は同一の要素、作用を示すものとする）を参照した、本発明の好適実施例の以下の説明から明らかになるだろう。

#### (実施例)

第1図には本発明に従がつて構成された例示的なセルが示されている。最初に、DRAMアレイは、実際には、読み取り／書き込み動作の間に選択されたセルにアクセスするために行に配列された多数の同じセルを含んでいることが理解されるべきである。また、多数のこののようなセルを含むメモリは、従来のアドレスデコード回路、クロック回路、センス増幅器回路、データ・アドレスバッファ、およびメモリ動作を支援する多数の他の回路（図示せず）を備えることになる。さらに、本発明は、マイクロコンピュータとともにオン・チップメモリとして実現する、すなわちそれ自身メモリチップに集積化することが可能である。

本発明のメモリセル10は、蓄積容量16（これの蓄積ノード15と接地電位の基準電圧17の間に接続されている）の蓄積ノード15と書き込みビット線14の間に直列に接続されたソースおよびドレインを有する書き込み電界効果トランジスタ12を有する。書き込みトランジスタ12はゲートも有し、そのゲートに接続された行アドレス書き込み線18によつて送られた信号によつて導電状態に駆動される。セル10はまた、読み取りビット線22と容量16の蓄積ノード15との間に直列に接続された読み取り電界効果トランジスタ20をも含む。読み取りトランジスタ20もまた、ゲートを有し、そのゲートに接続された行アドレス読み取りラインによつて送られた信号によつて導電状態に駆動される。

本発明の好適形式では、書き込みトランジスタ12および読み取りトランジスタ20はアクセス回路を形成し、エンハンスマントモードを示すように構成されたNチャンネルMOS装置である。無論、当業者は他の形式のトランジスタを用いてメモリアレイを構成してもよいだろう。また、蓄積容量16は、単位ウェーハ面積あたり高い容量を示す半導体形式が望ましい。本発明のメモリセル10は従来のブレーナ技術によつて構成できるけれども、セルの各要素はより最近の改良された半導体トレンチ技術を用いても同様に実現できる。

2トランジスタDRAMセル10の動作を以下に簡単に説明する。セル10の書き込み動作に応答して、メモリアレイに対するアドレスがデコードされ、行アドレス書き込みライン18上の行アドレス信号が高論理レベルに駆動されるようになる。そこで書き込みトランジスタ12は導通状態に駆

6

動される。行アドレス読み取りライン24は低論理レベルのままでから、読み取りトランジスタ20は非導通状態に維持される。行アドレス書き込みライン18上の書き込み信号に一致して、データレベル信号が行アドレス書き込みライン14に印加され、その対応する電荷は蓄積容量16に蓄積される。書き込みトランジスタ12が導通状態にある場合、書き込みビットライン14上の電荷は、書き込みトランジスタ12のソース、ドレインの低インピーダンスデータ路を介して転送される。

10 “0”低データレベルを表わす情報をDRAMセル10に書き込む場合は、電荷は書き込みビットライン14に印加されず、蓄積容量16は帯電されない。他方、“1”高データレベルを表わす情報をDRAM10に書き込む場合は、論理高信号が書き込みビット線に印加され、その際、対応する電荷が容量16への蓄積のために書き込みトランジスタ12を通つて転送される。電荷を蓄積するようセルに書き込みをした後、行アドレス書き込みライン18上の行信号は低状態に戻る。書き込みトランジスタはこうして導通を停止し、それによつて電荷が蓄積容量に留められる。通常は集積半導体装置と結合した高抵抗リーク路のために、容量16の蓄積ノード15に留められた電荷はゆっくりと放電し、リフレッシュという再蓄電が必要になる。

DRAMセル10のメモリ読み取り動作はアドレス信号をデコードし、対応する論理高行信号を行アドレス読み取りラインに印加することによつて達成される。結果として、読み取りトランジスタ20は導通状態に駆動され、それによつて読み取りビット線22を容量16の蓄積ノード15に低抵抗データ路を介して接続することになる。読み取り動作の間、当該セルに接続された対応する行アドレス書き込みライン30 18は論理低状態のままで、それによつて書き込みトランジスタ12は非導通状態に維持される。容量16に電荷が蓄積されていれば、読み取り動作の間に読み取りトランジスタ20のソース、ドレインを介して読み取りビットライン22に転送される。読み取りビットライン22は読み取り動作の間に特定のレベルにプリチャージして、蓄積容量16にデータ高信号が記憶されたか、データ低信号が記憶する際の感度を改良することもできる。たとえば、データ低信号に対応して電荷が蓄積容量16に蓄積されていない場合は、読み取りビットライン22は容量16の蓄積ノードによって放電40 状態になり、データ低レベルを示すようになる。逆に、データ高レベルに対応してかなりの電荷が容量16の蓄積ノード15に蓄積されていれば、この電荷は読み取り動作の間に読み取りトランジスタ20を通つて読み取りビットライン22に転送され、それが高レベルにまで帯電されることになる。結果として、読み取りビットライン22のプリチャージ状態の電荷は容量16の蓄積ノード15に前もつてデータ高レベルが記憶されていたことを示す。

第1図には示されていないけれども、多数の付加的な同じセルを書き込みビットライン14と読み取りビットライン50 22の間に接続してメモリアレイの1列のセルを形成する

(4)

特許-2653689

7

ことも理解されるべきである。また、他の同じセルを行アドレス書き込みライン18と行アドレス読み取りライン24に接続してメモリアレイの1行のセルを形成する。

セルの各列毎に、読み取りビットライン22を読み取りセンス増幅器に接続して蓄積容量16からそこに転送された電荷がデータ高レベル、データ低レベルのいずれに対応するのかを判別するようにする。さらに、また次に詳細に説明するように、セルの各列は、当該列の各アドレス指定セルを周期的にリフレッシュするリフレッシュ・回復回路を備え、容量16上に蓄積された電荷が前に書き込まれたデータレベルに維持されるようにする。本発明のDRAMセルは蓄積容量16に記憶された情報が読み取り動作の後で破壊されてしまう形式のものであるから、回復回路は同じ情報をセル10に再書き込みしそれによってメモリのデータを維持する。

本発明の重要な特徴として、DRAMセル10は当該セルの書き込み動作専用の書き込みポートを有している。この書き込みポートは書き込みビットライン14および行アドレス書き込みライン18によって形成または識別される。同様にして、セル10は読み取りビットライン22および行アドレス読み取りライン24によって形成または識別される専用読み取りポートを含む。両ポートとも独立して働き、アレイ列の1つのセルが1つのビットライン・行ライン対上のデータで書き込むことが可能であり、他方、その列の別のセルは別のビットライン・行ライン対上で読み取ることが可能である。従つて、本発明のメモリアレイの2ポート性によつて、読み取り、書き込み動作が1マシーンサイクルの間に完了できるという所期のメモリ動作が可能となる。より一般的にいふと、本発明のDRAMアレイマシーンサイクル毎に2つのアクセスを受けること可能であり、そのアクセスは別々のセル位置でのどんな組合せの読み取り、または書き込み動作の組合せでもよい。

第2図には、第1図のものとほぼ同一に構成された多数のセルを有する例示的なアレイ列が示されている。各アレイ列は適当な数のDRAMメモリセルを含むことができる（その内2個のセル10,30だけが第2図に示されている）。DRAMセル30はメモリセル10と同じ書き込みビットライン14および読み取りビットライン22に接続された2トランジスタである。これに対して、行アドレス書き込みライン32はセル10とは異なり、また行アドレス読み取りライン34もセル10と異なる。同様に、当該列の各セルは他のセルとは異なる専用の行アドレス読み取り書き込みラインを有するものとして構成されている。しかし、図示のアレイのDRAMセルの各行（図示せず）は同一の行アドレス読み取り／書き込みラインを共有する。

本発明のメモリアレイは、Q1～Q4とされた相を有する4相システムで動作するようになっている。各クロック位相の間に書き込みビットライン14および読み取りビットライン22はプリチャージされる。読み取りビットライン14はトランジスタ36によって電圧V<sup>-</sup>～V<sub>t</sub>（ここでV<sub>t</sub>はトラン

8

ジスタ36の閾値電圧である）にプリチャージされる。読み取りビットライン22は当該クロック位相の間にトランジスタ38によって所定のプリチャージ電圧にプリチャージされる。読み取りビットライン22は、プリチャージ電圧源以下の1トランジスタ閾値電圧を含む電圧にプリチャージされる。そのプリチャージ電圧はV<sup>-</sup>の約半分の値が多い。このようにして、選択されたDRAMセルからの“1”または“0”データレベルの読み出検出が簡単にされる。

書き込みビットライン14と読み取りビットライン22の間に10は、システムクロックサイクルの所定位相の間に列セルをリフレッシュするリフレッシュ回路40が接続されている。リフレッシュ回路40は、Q2位相の間に動作するリフレッシュライン44によって駆動される入力トランジスタ42を有している。リフレッシュライン44が論理高状態に駆動されるとき、入力トランジスタ42は導通状態に駆動され、それによって読み取りビットライン22がセンス増幅器46の入力に接続される。このセンス増幅器46は従来の設計で、DRAMメモリにおいて用いられている形式のものである。センス増幅器46の出力には、第2のリフレッシュライン50によって駆動される出力トランジスタ48が接続されている。第2のリフレッシュライン50はクロック位相Q4の間に駆動され書き込みビットライン14をリフレッシュ論理レベルにする。図示されたアレイ列のリフレッシュ動作を次にさらに詳細に説明する。他の関連あるアレイ列の他のリフレッシュ回路はリフレッシュライン44,50によって駆動される。

30 例示したアレイ列はまた読み取り動作後に当該セルの内容を復元するための復元回路52を有している。本発明のDRAMメモリセルの読み取り動作の破壊的な性質のために、各セルの内容は各読み取り動作後に復元されなければならない。復元回路52はリフレッシュ回路40と設計が同じである。そのため、入力トランジスタ54はQ4クロック位相の間に復元ライン56上のクロック信号によって駆動される。そのとき、読み取りビットライン22上にあるデータはトランジスタ54を通して読み取り／復元センス増幅器58の入力に転送される。読み取り／復元センス増幅器58の出力は、セルの読み取り動作から生じるデータ高または低を表わすデータ信号を出力60に発生する。また、読み取り／復元センス増幅器58の出力は出力トランジスタ62を介して書き込みビットライン14に結合される。出力トランジスタ62は第2復元ライン64上のQ2クロック位相によって駆動される。第1、第2の復元ライン56,64はアレイの他の列と共通である。

40 本発明のメモリアレイの代表的な列の構造を説明したので、次にその動作を第2図および第3図の波形を参照しながら説明する。本発明のメモリは、第3図a～dに示された4相Q1～Q4によって示されるように多重位相クロックとともに容易に用いられるようになっている。

第3図eには本発明のDRAMアレイの書き込みサイクルが50示されており、そこでは、プリチャージトランジスタ3

(5)

特許 - 2653689

10

6,38はQ1位相の間に、書き込みビットライン14、読み取りビットライン22を前述した所定電圧にプリチャージするために駆動される。Q2位相の間には、アドレス信号がデコードされ、当該列の適切な行アドレス書き込みラインに印加され選択された書き込みトランジスタを導通状態に駆動する。Q2位相の間に、書き込み列データライン68は論理レベルに駆動され、当該列データをトランジスタ66を経由して書き込みビットライン14に与える。メモリセル10が行アドレス書き込みライン18によってアドレス指定しているものとすると、Q2クロツク位相によって列データがトランジスタ66を介して書き込みビットライン14に与えられ、容量16の蓄積ノード15に記憶される。行アドレス書き込みライン18上の信号が論理低に切替わると、書き込みトランジスタ12がカットオフされ、それによって容量16の蓄積ノード15の電荷が維持される。

第3図fは列セルの蓄積容量に蓄積された電荷をリフレッシュするリフレッシュサイクルを示す。リフレッシュはQ2、Q4位相の間に行なわれる。特に、クロツク位相Q2の間には、リフレッシュされるべきセル10が読み取られ、それによって読み取りトランジスタ20が導通状態に駆動され、容量電荷が読み取りビットライン22に転送される。クロツク位相Q2の間には、リフレッシュ回路40の入力トランジスタ42は導通状態に駆動され、その際ビットライン22上の電荷がリフレッシュセンス増幅器46に入力される。このリフレッシュセンス増幅器46は読み取りビットライン22上の電荷を感じし、その電荷が“0”、“1”データレベルのどちらを示すかに応じたデータ信号を再発生する。従つて、リフレッシュセンス増幅器46は容量16に蓄積された電荷をそれに完全に対応するデータ信号として再発生するように働くことになる。クロツク位相Q4の間には、リフレッシュ回路40の出力トランジスタ48が導通状態に駆動され、それによってリフレッシュセンス増幅器46の出力が書き込みビットライン14に転送される。これに一致して、リフレッシュされたセル10のアドレス書き込みライン18が導通状態に駆動され、書き込みトランジスタ12が導通し、書き込みビットライン14から復元電荷を容量16の蓄積ノードに戻すようになる。当該セルは、有効データを長時間にわたって維持できるように上述の様様で周期的にリフレッシュされる。各リフレッシュサイクルの間に、アレイの各列の1セルがリフレッシュを受けるので、たとえば、128行を有するメモリアレイでは、メモリ全体は128リフレッシュサイクルで完全にリフレッシュされる。以下により詳細に説明するために、プログラムアドレスおよびリフレッシュアドレスをメモリアレイの読み取りアドレスラインおよび書き込みアドレスラインに多重化するマルチプレクサが備えられる。

第3図gには本発明のDRAMメモリの読み取り動作を行なう際に用いられるクロツク位相が示されている。たとえば、セル10の読み取りサイクルはQ4クロツク位相の間に、選択された行アドレス読み取りライン24を論理高に駆動す

ることによって開始される。その結果、読み取りトランジスタ20は導通状態に駆動されるので、容量16に蓄積された電荷は読み取りビットライン22に転送される。Q4位相の間には、復元回路52のライン56も入力トランジスタ54が導通するように駆動される。そのとき、読み取りビットライン22上に存在する電荷は読み取り／復元センス増幅器58の入力に与えられる。読み取り／復元センス増幅器58は電荷量をデータ高または低に変換するように動作し、それを読み取り列データライン60に出力する。セル10から読み取られたデータは、メモリの出力として駆動されるように外部回路に利用できる。こうして、任意の列セルの出力が单一クロツク位相内で得ることができる。しかし、読み取り動作の破壊的な性質のために、電荷は選択されたセル10の蓄積容量16に復元されなければならない。読み取り／復元センス増幅器58の出力は感知論理レベルにプリチャージされた読み取り列データライン60を維持する。Q2クロツク位相が起ると復元回路52の出力トランジスタ62は導通状態に駆動され、書き込みビットライン14のプリチャージ状態が変化する。同時に、Q2位相が作動してアドレス指定セル10の書き込みトランジスタ12を駆動し、蓄積容量16を書き込みビットライン14に接続する。こうして、読み取り／復元センス増幅器58によって出力された電荷は読み取られたセルの蓄積容量16に復元される。

前述したメモリアレイ構造、タイミングの場合、復元、書き込み動作の間に潜在的なバス競合が存在する。これは特に、セルが隣接したマシーンサイクルで読み取り、書き込み動作を受ける場合に起りうる。この場合、競合は読み取りサイクルの復元部分と次の書き込みサイクルの間に起りうる。バス競合は、復元、書き込み動作両方の位相Q2間に用いられる書き込みビットライン14に関して存在する。すなわち、このような競合状況において、トランジスタ66は書き込みサイクルの間に列データを書き込みビットライン14に結合し、他方、復元出力トランジスタ62は復元データを同じ書き込みビットラインに結合する。このような競合は、素子70のような禁止トランジスタを用いて復元サイクルの終了を防ぐことによって解除できる。復元サイクルの終了を防ぐために、トランジスタ70は論理低レベルに駆動され、それによって非導通状態に置かれるので復元回路出力トランジスタ62もまた導通を防止される。従つて、新らしい列データを選択セル10に書き込むことができ、それによって競合問題を回避できる。当該セルの復元の防止は些細な問題である（新データが当該セルに書き込まれているからそこに記憶された旧データは問題にならないから）。前述したように、禁止トランジスタ70は、同一セルの連続的な読み取り、書き込み動作が生じる（もしあれば）間を除いて、通常は導通状態にある。図示はされていないが、同一セルの連続的な読み取り、書き込みを検出し、それによって禁止トランジスタ70に印加される復元禁止信号を発生する回路を当業者は考案できるだろう。また、上述した競合が存在するメモリ

(6)

特許 - 2653689

11

サイクルの間に復元サイクルを禁止するのに他の手段を用いてよい。

第3図は本発明のメモリアレイの読み取り動作を実現するのに有効な電気波形を示している。さらに詳細には、リフレッシュサイクル72およびプログラムアドレスサイクル74が交互に示されている。各リフレッシュサイクルはプリチャージ位相および各アレイ列に関連したセルをリフレッシュするリフレッシュ位相を含む。各プログラムアドレスサイクル74は、プリチャージ位相およびこれに続く、アドレスがアレイ列に付加されるアドレス位相を含む。このようにして、各列のセルを読み出してメモリをリフレッシュするか、またはメモリからの出力データを与えることができる。

第3図には本発明のメモリアレイの書き込み動作を実現するのに有効な電気波形を示す。書き込みデータサイクルはアドレスサイクル76およびそれと交互になっているリフレッシュサイクル78を含む。各アドレスサイクル76はプリチャージ位相およびアドレス位相を含み、各リフレッシュサイクル78はプリチャージ位相およびそれに続くリフレッシュ位相を含む。上記書き込みデータタイミング

はメモリアレイの書き込み動作がそこに新入力データを与えるようにするのに有効である。

第4図には、本発明のDRAM装置によって用いられるプログラムアドレスおよびリフレッシュアドレスを多重化するマルチブレクサ回路80の概略が示されている。マルチブレクサ80によつて発生したアドレスは多数の行アドレスバスファ82を介してメモリアレイの行アドレス読み取り、書き込みラインに結合される。マルチブレクサ80は、メモリアレイの各行に対応する特定の状態を発生する擬似ランダムカウンタ84を含む。擬似ランダムカウンタ84は一定の期間の間に所定の状態の全ての組合せを循環するように構成されており、メモリアレイの全ての行が特定の周期的期間内でリフレッシュされるようになる。代替的には、擬似ランダムカウンタ84は全てのリフレッシュアドレスを連続的に発生する二進カウンタとしても構成できる。本発明の好適形式では、擬似ランダムカウンタ84は、当該アレイの全部の行を一義的にアドレス指定するのに適した多数のステージを含む。各カウンタステージの出力には、Q1, Q2クロック位相によってゲート通過するトランジスタ86が接続されている。上記のように、このような位相はメモリのリフレッシュ期間に対応する。このような各トランジスタ86の出力は対応する行アドレスバスファ82の入力に結合される。

本発明のメモリに外部から付加されるプログラムアドレスはマルチブレクサ入力A~Gを介してそこに結合される。これらの入力は順番に、位相Q3およびQ4によってクロックされる各トランジスタ86に接続される。前述のように、トランジスタ86の出力はメモリアレイのプログラムアドレス指定に対応する。トランジスタ86の出力は行アドレスバスファ82の各入力にも接続される。従つ

て、クロック位相Q1, Q2の間はリフレッシュアドレスがメモリアレイに供給され、他方クロック位相Q3, Q4の間はプログラムアドレスがメモリアレイに供給される。

第2図の読み取りビットライン22に位相Q2の間に現われるデータはリフレッシュセンス増幅器48に結合され、この増幅器によつて検知され、位相Q4の間に書き込みビットライン14に転送される。リフレッシュされているセル10の書き込みアドレスライン18は位相Q4で生じ、当該セルの読み取りアドレスを2クロック位相だけ遅らすだけで実現できる。プログラムアドレスの結果としてクロック位相Q4で生じる読み取りビットライン22上のデータは、読み取り/復元センス増幅器58に結合され、その増幅器によつて検知される。検知データはクロック位相Q2で書き込みビットライン14に転送され、したがつて復元目的に利用できるようになる。書き込みアドレスは、そのアドレスがプログラムによつて外部的に発生するか、リフレッシュアドレスカウンタ84から発生するかに関係なく読み取りアドレスを2クロックサイクルだけ遅らすことによつて発生される。

20 第5図において、チップ90に分割された半導体材料基板は、一層になつてマイクロコンピュータの作用をもたらす、ランダムアクセスメモリ(RAM)装置92、リートオンメモリ(ROM)装置90およびマイクロプロセッサ96を備えている。

前述の説明はNMOSプリチャージ、ディスクチャージの論理の使用に関連してなされたけれども、メモリ構造は異なるクロック法のCMOS回路を用いても実現できる。また、種々の応用で非常に便利なDRAM装置用の融通性のあるアレイが開示されている。

#### 30 (発明の効果)

本発明の技術的な利点は、2トランジスタセル自身が対称的な2ポート構造となつており、アドレス、データの読み取り、書き込み動作のいずれかを反転できるということである。本発明の別の技術的な利点はアレイの別々のセルに関して読み取り、書き込み動作を同時に行い得、それによつてメモリの性能が向上するということである。本発明のさらに別の技術的利点は、マイクロコンピュータとともにオンチップメモリとして用いられるとき、スタティック形式の動作を実現できるということである。そのため、本発明のメモリのリフレッシュ動作はリフレッシュ目的のためにデュアルポート性を実現し、それによつてプログラムをメモリリフレッシュの責任から逃れさせる。実際に、同一のマシーンサイクルにおいて、あるアレイ列の他のセルが読み取り、または書き込みされている間に、そのアレイ列の当該セルのリフレッシュ動作を行ふことができる。

本発明の好適実施例は特定のDRAMメモリアレイおよび支援回路について開示されたけれども、添付特許請求の範囲に規定されているように本発明の精神、範囲から離れないで設計事項として詳細な変更がなし得ることが理

50

(7)

特許-2653689

13

解されるべきである。

以上の説明に関して更に以下の項を開示する。

(1) ランダムアクセスメモリ (RAM) 装置用の配列であつて、

蓄積ノードと基準電圧の間に接続され、その蓄積ノードにある時点で1データレベルを記憶できる蓄積容量、

データレベルを転送できる第1、第2のビットライン、前記第1ビットラインと前記蓄積ノードの間に接続されたソース、ドレインを有する第1の電界効果トランジスタ、および前記第2ビットラインと前記蓄積ノードとの間に接続されたソース、ドレインを有する第2の電界効果トランジスタであつて、各ゲートを有し、前記蓄積ノードと前記第1、第2ビットラインの間でデータレベルを電気的に結合できる前記第1、第2の電界効果トランジスタ、および

前記第1、第2の電界効果トランジスタの各ゲートに接続された第1、第2の行ラインであつて、前記第1、第2の電界効果トランジスタを電気的に活性化して前記第1、第2のビットラインを前記蓄積ノードに接続する各行ライン信号を転送する前記第1、第2の行ライン

を含む前記配列。

(2) 前記第1、第2電界効果トランジスタの一方は書き込みトランジスタであり、他方は読取りトランジスタである第(1)項に記載の配列。

(3) 前記書き込みトランジスタは前記各ビットラインからデータレベルを前記蓄積ノードに書き込むためにのみ作用し、前記読取りトランジスタは前記各ビットラインに前記蓄積ノードから読取るためにのみ作用する第(2)項に記載の配列。

(4) 前記第1トランジスタは書き込みトランジスタ、前記第1ビットラインは書き込みビットライン、前記第1行ラインは書き込み行ラインであり、前記第2トランジスタは読取りトランジスタ、前記第2ビットラインは読取りビットライン、前記第2行ラインは読取り行ラインである、第(2)項に記載の配列。

(5) 前記第1、第2のビットラインに接続された複数グループの蓄積容量および第1、第2のトランジスタを含み、各グループは別々の第1、第2の行ラインに接続されてメモリアレイの1列を形成する、第(1)項に記載の配列。

(6) 前記第1ビットラインおよび第1行ラインは第1ポートを形成し、前記第2ビットラインおよび第2行ラインは第2ポートを形成する第(1)項に記載の配列。

(7) 前記第1ビットライン、第1トランジスタおよび第1行ラインは、前記蓄積ノードとの間でデータの読み取り、書き込みを行なうために前記第2ビットライン、第2トランジスタおよび第2の行ラインと対称となる回路を形成する、第(1)項に記載の配列。

(8) 1列のランダムアクセスメモリ装置であつて、

14

前記列に沿つてデータレベルを転送できる第1、第2のビットライン、

前記列に沿つて直列に配列された複数のメモリセルであつて、各セルは、蓄積ノードと基準電圧の間に接続され前記蓄積ノードに1時点で1データレベルを記憶する蓄積容量、前記第1ビットラインと前記蓄積ノードの間に接続された第1の電界効果トランジスタ、および前記第2ビットラインと前記蓄積ノードとの間に接続された第2の電界効果トランジスタを有し、前記第1、第2トランジスタは第1、第2ビットラインと前記蓄積ノードの間でデータレベルを結合できる、前記複数メモリセル、

前記第1、第2ビットラインに接続され、セル内のデータレベルをリフレッシュできる回路要素を含むリフレッシュ回路、および

前記第1、第2ビットラインに接続され、あるセルからのデータレベルを読み取つてデータライン上のデータ信号を形成し、読み取つたデータレベルを前記セルに復元することができる回路要素を含む読み取り・復元回路。

20 を含む前記一列のランダムアクセスメモリ装置。

(9) 前記第1、第2トランジスタの一方は書き込みトランジスタであり、他方は読み取りトランジスタである第(8)項に記載の列。

(10) 前記書き込みトランジスタは前記各ビットラインから前記蓄積ノードにデータレベルを書き込むためにのみ作用し、前記読み取りトランジスタは前記蓄積ノードから前記各ビットラインにデータレベルを読み取るためにのみ作用する、第(9)項に記載の列。

30 (11) 前記第1トランジスタは書き込みトランジスタ、前記第1ビットラインは書き込みビットライン、前記第1行ラインは書き込み行ラインであつて、前記第2トランジスタは読み取りトランジスタ、前記第2ビットラインは読み取りビットライン、前記第2行ラインは読み取り行ラインである、第(9)項に記載の列。

(12) 前記メモリ装置は第1、第2、第3および第4位相ラインにそれぞれ転送される4クロック位相を含むサイクルで動作し、前記列は、前記第1、第2ビットラインおよび選択された位相ラインに接続されて前記選択されたクロック位相で前記ビットライン上に所望の電圧を設定する電荷設定回路を含み、前記リフレッシュ回路および前記読み取り復元回路は選択された位相ラインに接続されて選択されたクロック位相でそれぞれ、前記データレベルをリフレッシュし、読み取り、復元する、第(8)項に記載の列。

(13) 前記電荷設定回路は前記第1、第3位相ラインに接続し、前記リフレッシュ回路および前記読み取り、復元回路は前記第2、第4位相ラインに接続する、第(2)項に記載の列。

(14) 前記電荷設定回路は前記第1、第2のビットラインの一方をほぼ一定電圧に設定し、他方をその一定電

庄の約半分に設定する第(12)項に記載の列。

(15) 各セルの各第1トランジスタのゲートに接続された第1行ラインおよび各セルの各第2トランジスタのゲートに接続された第2行ラインを含み、前記第1行ラインの行信号は、前記第2行ラインの行信号と関係なく起り、1つのセル内のデータレベルは、前記第1ビットラインと1蓄積ノードの間で、前記第2ビットラインと別の蓄積ノードの間で転送される別のセル内のデータレベルと関係なく転送できるようになっている、第(12)項に記載の列。

(16) 前記第1トランジスタ、第1ビットラインおよび第1行ラインは前記1つの蓄積ノードに書き込み動作をなし、前記第2トランジスタ、第2ビットラインおよび第2行ラインは別の蓄積ノードからの読み取り動作を行なう、第(15)項に記載の列。

(17) 1セルの前記データレベルは、前記第1ビットラインと前記第1蓄積ノードとの間で、別のセルの前記データレベルが前記第2ビットラインと前記別の蓄積ノードの間で転送されるのと同時に転送できる第(16)項に記載の列。

(18) 前記第1、第2のトランジスタに別々に接続された行ラインにカウンタ行信号を発生するカウンタを含み、前記カウンタ行信号は、一定時間内に前記セル内のデータレベルをリフレッシュする前記リフレッシュ回路の動作に関連して生じる、第(34)項に記載の列をアドレス指定するアドレス指定回路。

(19) 前記カウンタ回路は前記行ラインの全てに対してカウンタ行信号を発生する擬似ランダムカウンタを含む第(18)項に記載のアドレス指定回路。

(20) 前記メモリ装置はそれに印加されたアドレス信号に応答してアドレス行信号を発生し、さらに、前記カウンタ行および前記アドレス行の一方を前記行ラインに一度に接続するマルチブレクサ回路を含む第(19)項に記載のアドレス指定回路。

(21) 前記メモリ装置は第1、第2、第3および第4位相ラインに転送された4つのクロック位相を含むサイクルで動作し、前記マルチブレクサ回路は、前記第1、第2位相ラインに接続され前記カウンタ行信号を前記行ラインに前記第1、第2位相の間に接続するカウンタゲート、および前記第3、第4位相ラインに接続され前記行信号を前記行ラインに前記第3、第4位相の間に接続するアドレスゲートを含む、第(20)項に記載のアドレス指定回路。

(22) 前記読み取り・復元回路は、入力、出力を有するセンス増幅器、一方のビットラインのデータレベルを前記センス増幅器入力に接続する入力電界効果トランジスタ、および前記センス増幅器出力からの増幅データレベルを他方のビットラインに接続する出力電界効果トランジスタを含み、前記データラインは前記センス増幅器出力に接続される、第(8)項の列。

(8)

特許 - 2653689

16

(23) 前記読み取り・復元回路に接続され、禁止ライン上の禁止信号の受信に応答してその読み取り・復元回路の動作の復元動作を禁止する復元禁止回路を含む第(22)項に記載の列。

(24) 前記復元禁止回路に前記出力トランジスタに接続されて前記増幅データレベルが前記他のビットラインに接続されるのを防止する、第(23)項に記載の列。

(25) 前記メモリ装置は、第1、第2、第3、第4クロック位相ラインに転送された4個のクロック位相を含むサイクルで動作し、前記禁止回路は前記第2の位相ラインを前記出力トランジスタに接続し、前記禁止信号に応答して前記第2の位相ラインを前記出力トランジスタから分離する禁止電界効果トランジスタを含む、第(24)項に記載の列。

(26) 前記リフレッシュ回路は入力、出力を有するセンス増幅器、一方のビットライン上のデータレベルを前記センス増幅器入力に接続する入力電界効果トランジスタ、および前記センス増幅器出力からの増幅データレベルを他のビットラインに接続する出力電界効果トランジスタを含む第(8)項に記載の列。

(27) 前記メモリ装置は第1、第2、第3、第4位相ラインに転送された4個のクロック位相を含むサイクルで動作し、前記入力トランジスタのゲートは前記第2の位相ラインに接続され、前記出力トランジスタのゲートは前記第4の位相ラインに接続される第(26)項に記載の列。

(28) ランダムアクセスメモリ装置用の配列であつて、

データレベルを供給、受信できる第1、第2のポート、および

前記第1、第2のポートの間に接続された少なくとも1つのメモリセルであつて、データレベルを表わす電荷を蓄積できる1蓄積ノードおよび前記第1、第2ポートと前記1蓄積ノードの間にそれぞれ接続され、前記ポートと前記1蓄積ノードの間でデータレベルを転送できる第1、第2のアクセス回路を含む前記配列。

(29) 前記第1ポートは、1トランジスタである前記第1アクセス回路を介してのみ前記蓄積ノードに接続され、前記第2ポートは、1トランジスタである前記第2アクセス回路を介してのみ前記蓄積ノードに接続され、それによつて前記蓄積ノードへのアクセスは前記第1、第2アクセス回路を介して独立に実現できるようになっている第(28)項に記載の配列。

(30) 各々が、前記第1、第2アクセス装置によつて前記第1ポート、第2ポート間に接続された1蓄積ノードを含む複数のメモリセルを有する第(28)項に記載の配列。

(31) 前記第1、第2ポートに接続され、前記蓄積ノードに記憶されたデータレベルを一定の期間内に自動的

(9)

特許-2653689

17

にリフレッシュする回路要素を含むリフレッシュ回路を有する第(28)項に記載の配列。

(32) 前記リフレッシュ回路要素は、入力、出力を有する1センス増幅器、一方のポート上のデータレベルを前記センス増幅器入力に接続する入力電界効果トランジスタ、および前記センス増幅器出力からの増幅データレベルを他方のポートに接続する出力電界効果トランジスタを含む第(31)項に記載の配列。

(33) 前記第1、第2ポート間に接続され、一方のポートでデータレベルを読み取り、そのデータレベルを他方のポートに書込む回路要素を含みそれによつて前記蓄積ノードから読み取られたデータレベルが前記他方のポートを介してその蓄積ノードに書き戻されるようになる読み取り・復元回路を有する第(28)項に記載の配列。

(34) 前記読み取り・復元回路要素は、入力、出力を有する1センス増幅器、一方のポート上のデータレベルを前記センス増幅器に接続する入力電界効果トランジスタ、および前記センス増幅器からの増幅データレベルを他方のポートに接続する出力電界効果トランジスタを含む、第(33)項に記載の配列。

(35) 前記メモリ装置は、第1、第2、第3、第4位相ラインに転送された4個のクロツク位相を含むサイクルで動作し、前記ポートは前記位相ラインのうちの選択ラインに接続されて、前記アクセス装置を介して前記ノードへの個別のアクセスがなされる第(28)項に記載の配列。

(36) 前記各ポートは1ビットラインおよび1行ラインを含み、またお互いにほぼ対称になつてゐる第(28)項に記載の配列。

(37) メモリアレイ内の複数メモリセルおよびマイクロプロセッサを備えてマイクロコンピュータを形成する半導体材料の基板を含む第(28)項に記載の配列。

(38) 前記メモリセルは、前記蓄積ノードと基準電圧との間に接続された蓄積容量によつて形成された1個の前記蓄積ノードを含む第(28)項に記載の配列。

(39) ランダムアクセスメモリ(RAM)のメモリセルについて読み取り、書き込みを行なう方法であつて、

蓄積容量を有する、1蓄積ノードを備えた少なくとも1メモリセルを用意する段階、

データレベルを転送できる複数のビットラインを用意

40

18

する段階、

各ビットラインと前記蓄積ノードの間に別々のデータ路を形成する段階、および

お互いに独立した各データ路について前記蓄積ノードと前記各ビットラインの間でデータレベルを転送する段階

を含む前記方法。

(40) 1ビットライン上のデータレベルを読み取る段階、その読み取ったデータレベルを増幅する段階およびその増幅データレベルを別のビットライン上に復元する段階を含む第(33)項に記載の方法。

(41) 前記読み取り前、前記復元後に、前記蓄積ノードに記憶されたデータレベルをリフレッシュする段階を含む第(40)項に記載の方法。

(42) 前記他のビットラインが別の源からデータレベルを受けるべきとき前記復元を禁止する段階を含む第(41)項に記載の方法。

(43) 前記転送段階は、1データ路で前記蓄積ノードからデータレベルを1ビットラインに読み取ること、および他のデータ路で別のビットラインからデータレベルを書き込むことを含む第(39)項に記載の方法。

#### 【図面の簡単な説明】

第1図は本発明の例示的なメモリセルの電気的概略図である。

第2図は、本発明の原理および技術的思想を具体化したメモリアレイの一部を示す図である。

第3a図～第3i図は本発明の機能的な特徴を示す電気的波形図である。

第4図は本発明のメモリアレイとともに用いるアドレスマルチプレクサの電気的概略図である。

第5図はマイクロコンピュータおよび本発明のメモリセルを備えた半導体チップを示す図である。

10, 30……メモリセル、14, 22……ビットライン、18, 24……行アドレスライン、12, 20……FET、16……蓄積容量、15……蓄積ノード、17……基準電位、25……アレイ列、40……リフレッシュ回路、46, 58……センス増幅器、42, 54……入力トランジスタ、48, 62……出力トランジスタ、52……回復回路、36, 38……プリチャージトランジスタ、70……禁止トランジスタ、80……マルチプレクサ。

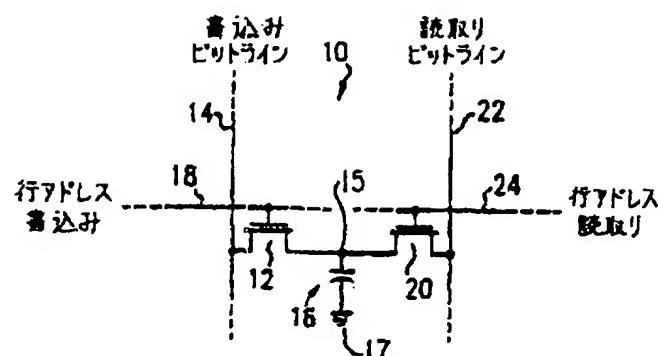
【第3a図】



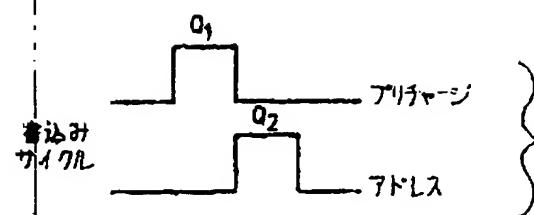
【第3b図】



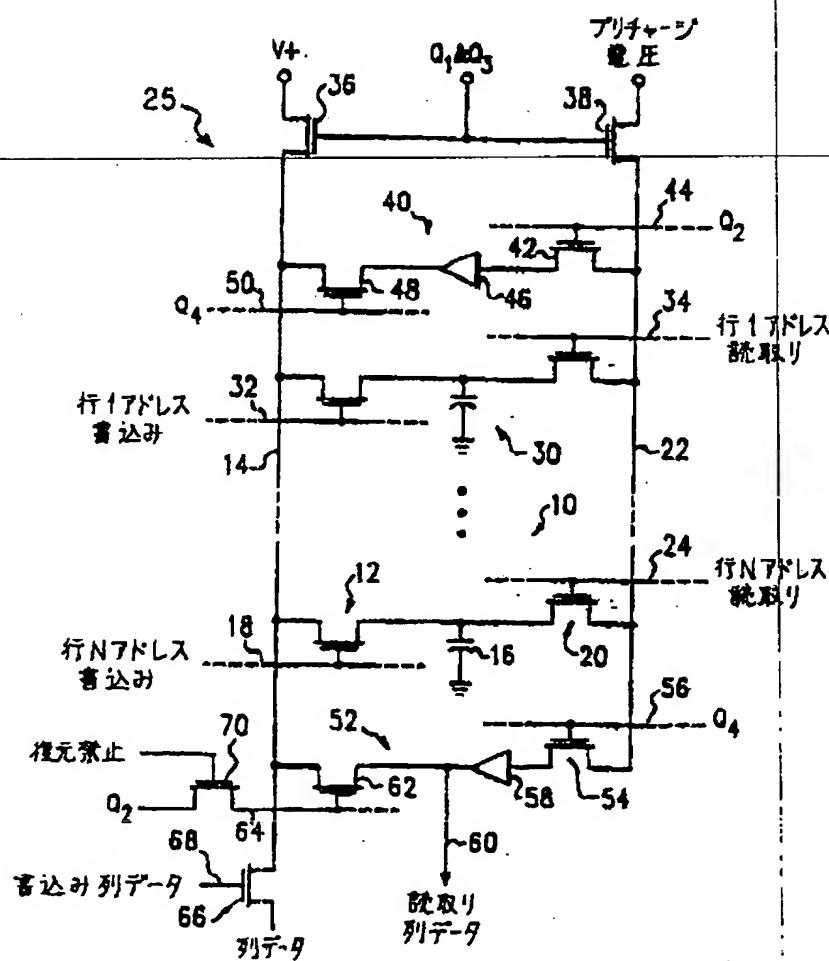
【第1図】



【第3e図】



【第2図】



【第3c図】



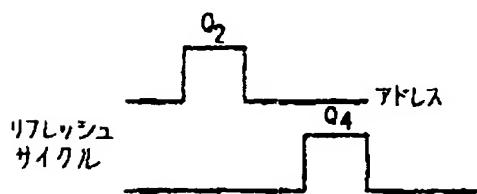
(11)

特許-2653689

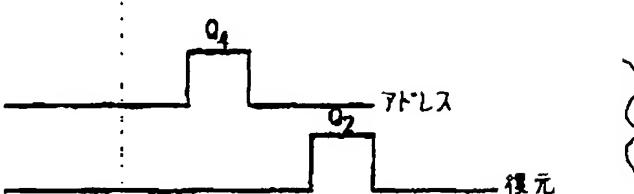
【第3d図】



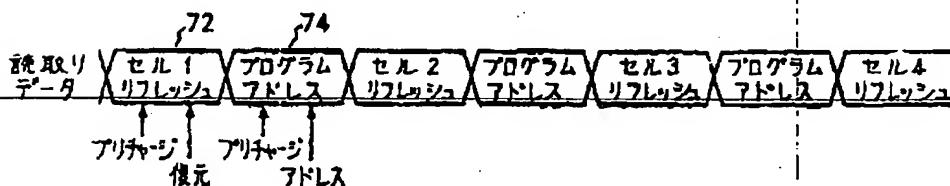
【第3f図】



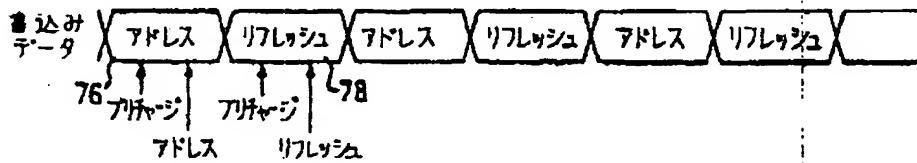
【第3g図】



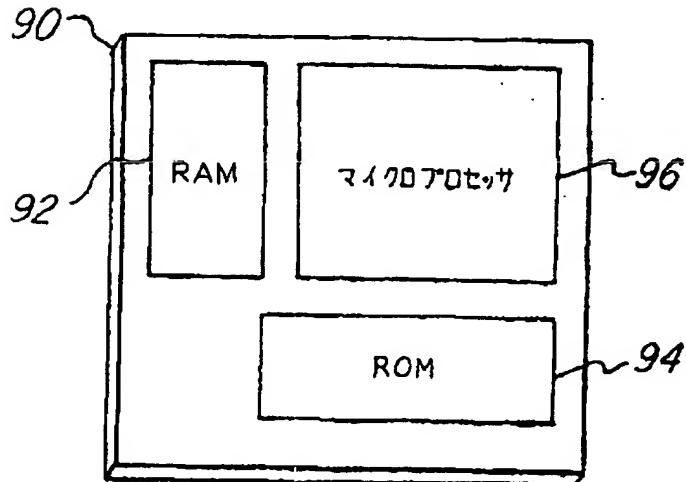
【第3h図】



【第3i図】



【第5図】



(12)

特許 2653689

【第4図】

